



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07106521 A**(43) Date of publication of application: **21 . 04 . 95**

(51) Int. Cl. **H01L 27/04**
H01L 21/822
H01L 21/82

(21) Application number: **05251272**(71) Applicant: **NEC CORP**(22) Date of filing: **07 . 10 . 93**(72) Inventor: **ISOZAKI TOMOAKI**

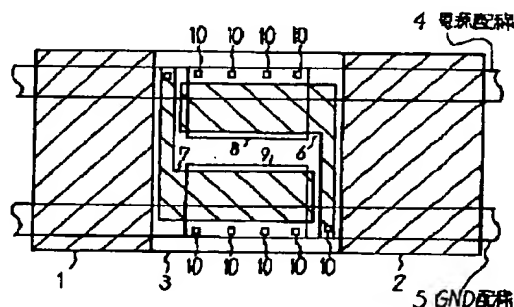
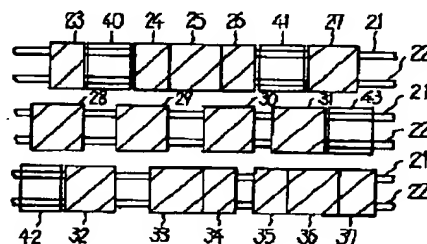
(54) **CELL BASE DESIGNED SEMICONDUCTOR
 INTEGRATED CIRCUIT DEVICE**

(57) Abstract:

PURPOSE: To insert a bypass capacitor without increasing the chip size by a method wherein capacitor cells are arranged on a wiring region using cell base design technique.

CONSTITUTION: A power source wire 21 and a GND wire 22, and function blocks 23 to 27 of a constitution realizing a logic circuit function inside are formed. Respective terminals of the function blocks 23 to 27 are automatically connected based on circuit connection data by a CAD tool, and LSIs of a cell base design are formed. Capacitor cells 40 to 43 are arranged in the wiring region. In a partial enlarged part where the capacitor cells 40 to 43 are arranged, between function blocks 1 and 2, a capacitor 3 is arranged connected with a power source wiring 4 and a GND wire 5. Thus, a bypassing capacitor can be arranged in LSIs without increasing the chip size, and the noise-proof performance of the circuit device can be enhanced.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106521

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04 21/822 21/82		8832-4M 8122-4M	H 0 1 L 27/ 04 21/ 82	H B
審査請求 有 請求項の数 3 O L (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平5-251272

(22) 出願日 平成5年(1993)10月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 磯崎 智明

東京都港区芝五丁目7番1号 日本電気株式会社内

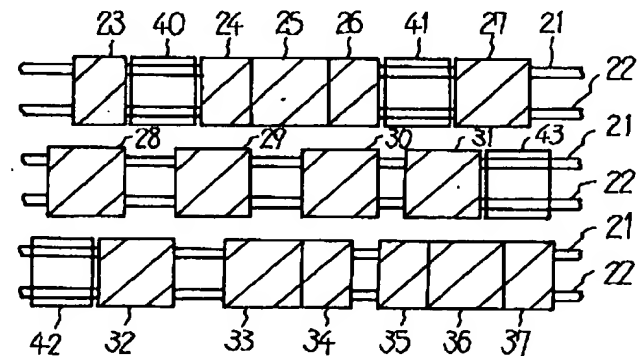
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 セルベース設計半導体集積回路装置

(57) 【要約】

【目的】セルベース設計手法によるLSIの論理回路動作時に発生するノイズによる、電源電位およびGND電位の変動を低減させる。

【構成】ゲート端子を電源に、ソース端子をGNDに接続したNチャネルMOSトランジスタと、ゲート端子をGNDに接続したPチャネルMOSトランジスタにより構成されたコンデンサセル3を、自動配置・配線後に発生する配線領域上に配置することにより、バイパスコンデンサをLSI内部に実現する。



【特許請求の範囲】

【請求項1】 第1の電源および第2の電源を供給して論理機能動作をし前記論理機能動作時に発生する電源ノイズを実質的になくするよう前記第1および第2の電源間に接続された基本セル容量素子を含んで前記所定の論理機能を有する複数のファンクションブロックセルを半導体基板上に配列してブロックセルを形成し、このブロックセルを挟むようにまたは囲むように前記半導体基板上に形成する配線領域を配列し、必要に応じて前記ファンクションブロックセル間および前記ブロックセル間を接続し前記配線領域内に配置する複数の配線パターンを形成することにより所望の回路機能を実現するセルベース設計手法で構成されるセルベース設計半導体集積回路装置において、前記ファンクションブロックセル間または前記ブロックセル間に配列され前記第1および第2の接続される容量素子から成るコンデンサセルを有することを特徴とするセルベース設計半導体集積回路装置。

【請求項2】 前記容量素子は、ゲートを前記第2の電源に接続しソースを前記第1の電源に接続したPチャネルMOSトランジスタと、ゲートを前記第1の電源に接続しソースを前記第2の電源に接続したNチャネルMOSトランジスタとから構成されることを特徴とした請求項1記載のセルベース設計半導体集積回路装置。

【請求項3】 前記コンデンサセルは前記配線領域内に配置する複数の前記配線パターンと重ねて配置されることを特徴とする請求項1または2記載のセルベース設計半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スタンダードセル設計手法またはセルベース設計手法により設計されるセルベース設計半導体集積回路装置に関し、特にノイズ低減用の容量素子を有するセルベース設計半導体集積回路装置に関する。

【0002】

【従来の技術】半導体集積回路装置の小型化、高速化に伴い、動作時に発生するノイズの影響が、近年大きな問題となりつつある。すなわち半導体集積回路装置内の論理回路が高速にスイッチングするためには、その論理回路の出力に接続されている負荷容量に対し、高速に充放電を行わせる必要がある。その結果論理回路のスイッチング時には半導体集積回路（以下LSIと略す。）の電源配線およびGND配線には、非常に大きなパルス状の電流が流れ、LSIの電源配線およびGND配線ならびにパッケージのリードフレームの抵抗およびインダクタンス成分により、電源またはGND電位は非常に大きく変動してしまっていた。このような電位変動はスイッチングスピードの低下をもたらすのみでなく、回路の誤動作の発生原因ともなり得る。

【0003】前述したような問題点を解決するために、電源配線およびGND配線間にバイパスコンデンサを挿入する方法がいくつか提案されている。例えば、特開平2-295161号公報（以下引用例aとする）においては、エピタキシャル成長技術を用いたLSIのエピタキシャル成長させた半導体層中に容量素子を組み込むことで、バイパスコンデンサを実現させる技術が開示されている。また特開昭61-61437号公報（以下引用例bとする）においてはマスタスライス型のLSIの未使用領域の論理回路用のトランジスタを用いてバイパスコンデンサを実現する技術が開示され、特開昭60-161655号公報（以下引用例cとする）では、電源パッドおよびGNDパッドのそれぞれと内部論理回路とを接続する電源配線またはGND配線下にバイパスコンデンサを構成する技術が開示されている。

【0004】引用例bに開示されるマスタスライス型のLSIにおいて、バイパスコンデンサを実現させた場合のセルの回路図を示す図4を参照すると、このマスタスライス型のLSIは、論理ゲートを実現するための下地MOSトランジスタを共用しているため、MOSトランジスタのチャネル長Lは細い。またPチャネルトランジスタのゲート電位が電源に接続されているため、ゲートと基板間とで効果的に容量が実現できない。従ってこのような構造のセルでは余り大きな容量は実現できず、またゲートを電源に接続するために上地配線が必要となり、セルの使用率は低下する。

【0005】

【発明が解決しようとする課題】しかしながら、これらの従来技術では、セルベース設計手法で構成され、最適化されたトランジスタサイズにより専用設計されたセルを高集積度に配置したLSIにおいては、1つのセルで実現できる容量値が小さいためバイパスコンデンサを挿入するために追加の専有面積が必要となり、チップサイズが増大してしまうという欠点を持っていた。

【0006】

【課題を解決するための手段】本発明のセルベース設計半導体集積回路装置は、第1の電源および第2の電源を供給して論理機能動作をし前記論理機能動作時に発生する電源ノイズを実質的になくするよう前記第1および第2の電源間に接続された基本セル容量素子を含んで前記所定の論理機能を有する複数のファンクションブロックセルを半導体基板上に配列してブロックセルを形成し、このブロックセルを挟むようにまたは囲むように前記半導体基板上に形成する配線領域を配列し、必要に応じて前記ファンクションブロックセル間および前記ブロックセル間を接続し前記配線領域内に配置する複数の配線パターンを形成することにより所望の回路機能を実現するセルベース設計手法で構成されるセルベース設計半導体集積回路装置において、前記ファンクションブロックセル間または前記ブロックセル間に配列され前記第

1 および第 2 の接続される容量素子から成るコンデンサセルを有する構成である。

【0007】また、本発明のセルベース設計半導体集積回路装置の前記容量素子は、ゲートを前記第 2 の電源に接続しソースを前記第 1 の電源に接続した P チャネル MOS トランジスタと、ゲートを前記第 1 の電源に接続しソースを前記第 2 の電源に接続した N チャネル MOS トランジスタとから構成することもできる。

【0008】さらに、本発明のセルベース設計半導体集積回路の前記コンデンサセルは、前記配線領域内に配置する複数の前記配線パターンと重ねて配置される構成とすることもできる。

【0009】

【実施例】次に、図面を参照して本発明の一実施例のセルベース設計半導体集積回路装置を説明する。

【0010】図 1 は本発明の一実施例のセルベース設計半導体集積回路装置の構成を示す平面図である。

【0011】図 1 を参照すると、この実施例のセルベース設計半導体集積回路装置は、電源配線 21 と GND 配線 22 と、内部に論理回路機能を実現する構成のファンクションブロック (23~37) とを有し、ファンクションブロック (23~37) を配置し、ファンクションブロック (23~37) の各端子間を回路接続情報に基づき、CAD ツールにより自動接続してセルベース設計の LSI としての機能を実現する。なお、説明を簡単にするため、ファンクションブロック (23~37) の端子間を接続する接続端は表示していない。

【0012】セルベース設計のような CAD 自動配置配線ツールを用いてマスクパターンを作成する場合は、各ファンクションブロック間に配線を行うための領域が必要であり、すべてのファンクションブロック (23~37) を密着させて配置することはできない。

【0013】さらに、本発明の一実施例のセルベース設計半導体集積回路装置は、この配線領域に配置されたコンデンサセル (40~43) を有している。

【0014】図 1 に示すこのコンデンサセル (40~43) が配置された一部分の拡大図である図 2 を併せて参照すると、この実施例のセルベース設計半導体集積回路装置は、ファンクションブロック 1 および 2 と、コンデンサセル 3 と、電源配線 4 と、GND 配線 5 とから構成される。

【0015】また、このコンデンサセル 3 は、P チャネル MOS トランジスタのゲート 6 と拡散層 8 とを有し、ゲート 6 はコンタクト 10 により GND 電位へ接続され、拡散層 8 はコンタクト 10 により電源電位に接続さ

* れている。またこのコンデンサセル 3 は、N チャネル MOS トランジスタのゲート 7 と拡散層 9 とを有し、ゲート 7 はコンタクト 10 により電源電位へ接続され、拡散層 9 は、コンタクト 10 により GND 電位に接続されている。

【0016】このコンデンサセル 3 の内部回路を示す図 3 を参照すると、電源配線および GND 配線間に MOS トランジスタのゲート容量を用いた、コンデンサセル 3 が実現できている。また、コンデンサセル 3 の内部にはゲートおよび拡散層しか使用しておらず、通常 CAD 自動配線ツールにより設計される第 1 層アルミ配線および第 2 層アルミ配線は全く使用していないため、このコンデンサセル 3 を配線領域上に配置したとしても自動配線ツールに対し悪影響は発生しない。

【0017】このような専用セルを作成することにより、MOS トランジスタのチャンネル長 L およびチャンネル幅 W を可能な限り、大きくでき、同一セルサイズで容量の大きなコンデンサセルを構成することができ、配線領域を使用するのみで、チップサイズの増大なしにバイパスコンデンサを挿入できる。

【0018】

【発明の効果】以上説明したように本発明によれば、セルベース設計手法を用いて配線領域上にコンデンサセルを配置することにより、電源配線および GND 配線間のバイパス用コンデンサをチップサイズの増大なしに LSI 内に実現でき、LSI の耐ノイズ性を向上できるという効果が得られる。

【図面の簡単な説明】

【図 1】本発明の一実施例のセルベース設計半導体集積回路装置の構成を示す平面図である。

【図 2】図 1 に示す本発明の一実施例のセルベース設計半導体集積回路装置の一部分の拡大図である。

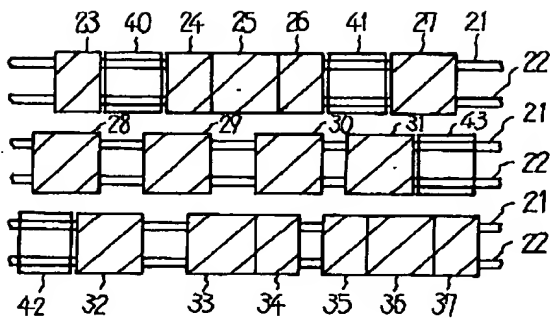
【図 3】コンデンサセルの内部回路を示す回路図である。

【図 4】従来のマスタライズ型 LSI のバイパスコンデンサの回路構成を示す図である。

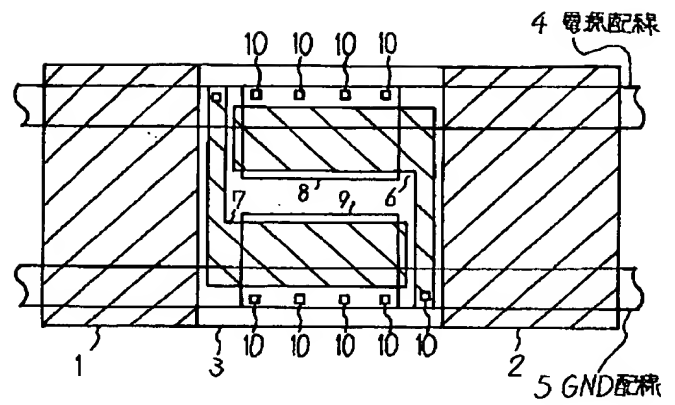
【符号の説明】

- 1, 2, 23~37 ファンクションブロック
- 4, 21 電源配線
- 5, 22 GND 配線
- 6, 7 MOS トランジスタのゲート
- 8, 9 拡散層
- 10 コンタクト
- 40~43 コンデンサセル

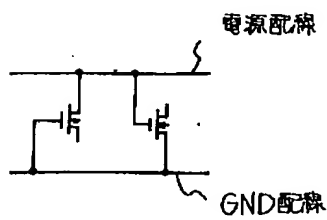
【図1】



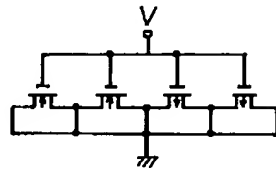
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号
8832-4M

F I

H O 1 L 27/04

技術表示箇所

A



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10150148 A**(43) Date of publication of application: **02 . 06 . 98**

(51) Int. Cl.

**H01L 27/04
H01L 21/822**(21) Application number: **09239921**(22) Date of filing: **04 . 09 . 97**(30) Priority: **18 . 09 . 96 JP 08246394**(71) Applicant: **DENSO CORP**(72) Inventor:
**ICHIKAWA KOJI
ISHIHARA HIDEAKI
FUJII HIROSHI
TSURUTA SUSUMU**(54) **SEMICONDUCTOR INTEGRATED CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the power supply noise generated inside a semiconductor integrated circuit.

SOLUTION: In this semiconductor integrated circuit, the functional blocks 4a-4d, the power supply wirings 6a, 6b supplying power to respective functional blocks 4a-4d, many signal wirings 8 input/outputting signals to respective functional blocks 4a, 4d are formed on a semiconductor substrate. At this time, bypass capacitors Ca-Cd are provided on the power supply wirings close to or inside respective functional blocks 4a-4d. Besides, the capacities are set up corresponding to characteristics of the currents consumed in corresponding functional blocks. Resultantly, the noise generated on the power supply wirings 6a, 6b sides can be reduced by the operations of respective functional blocks 4a-4d, thereby enabling the external leakage of this noise from the power supply terminals or input/output terminals to be avoided without fail. Furthermore, the freedom in setting up the positions and capacities of the bypass capacitors Ca-Cd can be improved by composing the Ca-Cd of two layer polycrystalline silicon layers.

